

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-270819

(43)Date of publication of application : 20.09.2002

(51)Int.Cl.

H01L 29/737

H01L 21/331

H01L 29/732

(21)Application number : 2001-070475

(71)Applicant : ALPS ELECTRIC CO LTD

(22)Date of filing : 13.03.2001

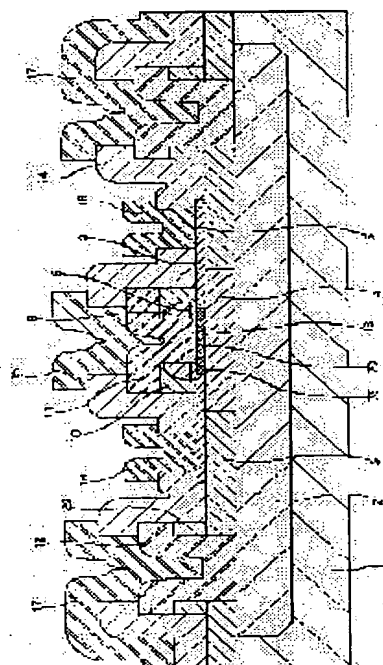
(72)Inventor : IWASAKI CHISATO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a heterojunction bipolar transistor superior in high frequency characteristic, while a state in which the leakage between the base and the emitter is markedly small is maintained with high reproducibility.

SOLUTION: A first insulation film 6, which has an opening part on the emitter 13 and covers a part of an outer base, is formed, and an emitter electrode 11 constituted of polycrystalline silicon is connected to the opening part. Sidewall-like second insulating films 8, which cover the upper face of the first insulating film 6 and cover the outer periphery of the side of the emitter electrode 11, are formed, and a third insulation film 10 which covers the whole outer periphery of the second insulation films 8 and the side of the first insulating film 6 is formed. The distance between the emitter 13 and a heavily-doped region 9 of the outer base is regulated in width at the base of the second insulating film 8 and is kept constant. The dummy pattern of the emitter electrode 11 is used for forming the second insulating film 8, so that a manufacturing method with small dispersion in width and superior reproducibility can be obtained.



Best Available Copy

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-270819

(P2002-270819A)

(43) 公開日 平成14年9月20日 (2002.9.20)

(51) Int.Cl.⁷

H 0 1 L 29/737

21/331

29/732

識別記号

F I

H 0 1 L 29/72

テームト* (参考)

H 5 F 0 0 3

S

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願2001-70475(P2001-70475)

(22) 出願日 平成13年3月13日 (2001.3.13)

(71) 出願人 000010098

アルプス電気株式会社

東京都大田区雪谷大塚町1番7号

(72) 発明者 岩崎 千里

東京都大田区雪谷大塚町1番7号 アルプ

ス電気株式会社内

Fターム(参考) 5F003 AZ03 BB06 BB07 BC08 BE07

BF06 BG06 BH07 BH93 BH99

BM01 BP34 BP94 BS05 BS06

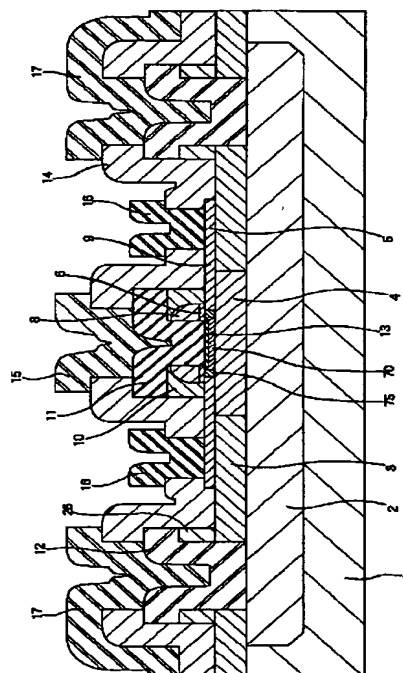
BS08

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ベース／エミッタ間のリーク電流が十分に小さい状態を再現性良く維持しながら、高周波特性に優れたヘテロ接合バイポーラトランジスタを提供する。

【解決手段】 エミッタ13上に開口部を有し外部ベースの一部を覆う第1の絶縁膜6が形成されており、開口部には多結晶シリコンからなるエミッタ電極11が接続されている。第1の絶縁膜6の上面を覆いエミッタ電極11の側面の外周を覆う側壁状の第2の絶縁膜8が形成されており、さらに第2の絶縁膜8の全外周と前記第1の絶縁膜6の側面を覆う第3の絶縁膜10が形成されている。エミッタ13と外部ベースの高濃度領域9との距離は、第2の絶縁膜8の底部での幅で規定され、一定に保持される。また、第2の絶縁膜8の形成にエミッタ電極11のダミーパターンを用いることにより、バラツキ幅の小さい、再現性に優れた製造方法となる。



1

【特許請求の範囲】

【請求項 1】 半導体基板に第 1 導電型のコレクタ層、第 2 導電型のエピタキシャル層を含むベース層が順に形成され、前記ベース層内に島状に第 1 導電型のエミッタが形成されており、前記ベース層は前記エミッタ直下の真性ベースとその外側の外部ベースとからなり、前記ベース層上に、前記エミッタの上に開口部を有し外縁が前記外部ベース上にある、第 1 の絶縁膜が形成されており、前記開口部において多結晶シリコンからなるエミッタ電極が前記エミッタに接続され、前記第 1 の絶縁膜の上面を覆い前記エミッタ電極の側面の外周を覆う側壁状の第 2 の絶縁膜が形成されており、さらに前記第 2 の絶縁膜の全外周と前記第 1 の絶縁膜の側面を覆う第 3 の絶縁膜が形成されており、前記エミッタ電極はその上部が前記第 3 の絶縁膜上まで延びて配置されているヘテロバイポーラトランジスタを備えることを特徴とする半導体装置。

【請求項 2】 前記第 2 の絶縁膜で囲まれた領域の外側にある前記外部ベースは、その上面に金属シリサイド層が設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記半導体基板はシリコン基板または SOI (Silicone OnInsulator) 基板であり、前記コレクタ層はシリコンを主材料としており、前記ベース層は、少なくともその一部にシリコンとゲルマニウムの混晶層がエピタキシャル法によって形成されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 半導体基板上に第 1 導電型のコレクタ層を成膜し、酸化膜により素子分離されたコレクタ領域を形成する工程と、前記コレクタ領域とその周囲の酸化膜領域に、少なくともシリコンとゲルマニウムを含有する第 2 導電型のエピタキシャル膜を含むベース層を形成する工程と、前記ベース層の表面を酸化して第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上に前記コレクタ領域上に位置するように多結晶シリコンまたは窒化シリコンからなるエミッタ電極のダミーパターンを形成する工程と、前記ダミーパターンの周囲の前記第 1 の絶縁膜上に側壁状の第 2 の絶縁膜を形成する工程と、前記第 1 および第 2 の絶縁膜を覆い、前記基板全面に第 3 の絶縁膜を形成する工程と、前記第 3 の絶縁膜の前記ダミーパターンに対応する位置を開口して、前記ダミーパターンおよびその直下の前記第 1 の絶縁膜を除去して空隙部を形成する工程と、前記空隙部を埋め込むとともに上部が前記第 3 の絶縁膜上に露出する第 1 導電型の多結晶シリコンによるエミッタ電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 5】 半導体基板上に第 1 導電型のコレクタ層を成膜し、酸化膜により素子分離されたコレクタ領域を形成する工程と、前記コレクタ領域とその周囲の酸化膜領域に、少なくともシリコンとゲルマニウムを含有する

2

第 2 導電型のエピタキシャル膜を含むベース層を形成する工程と、前記ベース層の表面を酸化した後、基板全面に酸化シリコン膜を成膜して第 1 の絶縁膜を形成する工程と、エミッタ電極が形成される領域の外側の前記第 1 の絶縁膜を、所定の厚さを残してエッチングにより除去して前記エミッタ電極のダミーパターンを形成する工程と、前記ダミーパターンの周囲の前記第 1 の絶縁膜上に側壁状の第 2 の絶縁膜を形成する工程と、前記第 1 および第 2 の絶縁膜を覆い、前記基板全面に第 3 の絶縁膜を形成する工程と、前記第 3 の絶縁膜の前記ダミーパターンに対応する位置を開口して、前記ダミーパターンおよびその直下の前記第 1 の絶縁膜を除去して空隙部を形成する工程と、前記空隙部を埋め込むとともに上部が前記第 3 の絶縁膜上に露出する第 1 導電型の多結晶シリコンによるエミッタ電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 6】 前記側壁状の第 2 の絶縁膜を形成した後に、前記第 2 の絶縁膜の外側に位置する前記第 1 の絶縁膜を除去する工程と、前記第 2 の絶縁膜より外側に位置する第 2 導電型の前記ベース層表面に金属シリサイド膜を形成する工程と、その後、前記第 3 の絶縁膜を形成する工程とを有することを特徴とする請求項 4 または 5 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バイポーラトランジスタを備える半導体装置およびその製造方法に関し、特に、ベース層をエピタキシャル法によって形成するヘテロ接合バイポーラトランジスタを備える半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】従来技術としては、例えば図 6 に示すようなバイポーラトランジスタ構造がある。図 7 (A) ~ (C) にその概略の製造工程を示す。以下、この例に沿って従来技術について説明する。

【0003】図 7 (A) に示すように、半導体基板 21 に第 1 導電型のサブコレクタ層 22 を設け、その上にコレクタ層を成膜後、フィールド酸化膜 23 で素子分離しコレクタ 24 を形成する。続いて図 7 (B) に示すように、コレクタ 24 とその周辺のフィールド酸化膜 23 上に、第 2 導電型のエピタキシャル膜を含むベース層 25 を設け、つづいて基板表面の全面に絶縁膜 26 を成膜して、エミッタを形成する領域の絶縁膜 26 をエッチングして開口部 60 とする。これとは別に、コレクタ電極を形成する領域の絶縁膜 26 およびフィールド酸化膜 23 をエッチングして開口部 61 とする。この後、図 7

(C) に示すように、多結晶シリコンからなるエミッタ電極 27 を、開口部 60 を埋めるように成膜、パターンニングして形成し、その外側に位置するベース層 25 上の絶縁膜 26 をエッチング除去する。同時に、開口部 61

3

に多結晶シリコンからなるコレクタ電極28を形成する。続いて、エミッタ電極27の多結晶シリコンからのドーパントの熱拡散によりエミッタ29を形成する。ここで、ベース層25のエミッタ29直下の領域は真性ベース50と呼ばれる。真性ベース50より外側のベースの領域は外部ベースと呼ばれ、後に形成するベース電極33を接続するベース引き出し電極として作用する。外部ベースのほぼ全域に、エミッタ電極27をマスクにした第2導電型のドーパントのイオン注入をおこない、外部ベース中の高濃度領域30を形成する。外部ベースの一部は、真性ベース50と高濃度領域30の間に、低濃度領域55として残る。

【0004】バイポーラトランジスタの動作における電子などのキャリアのふるまいを図6のトランジスタの例で定性的に表現すると、エミッタ29からコレクタ24への真性ベース50を垂直に貫通するキャリア（ベースにとっては少数キャリア）の流れと、エミッタ29からベース電極33への外部ベース領域55、30を水平に移動するキャリア（電子拡散電流と正孔拡散電流の双方）の流れに大別される。前者がコレクタ電流に相当し、後者がベース電流に相当する。エミッタ接地動作での電流増幅率はコレクタ電流をベース電流で割った値で定義され、これを大きくするために、エミッタ29のドーパント濃度をベース層25のドーパント濃度より高くし、ベース層25の膜厚を薄くして相対的にベース電流を減少させる。

【0005】エミッタ29とベース層25のバンドギャップに段差を持たせてヘテロ接合バイポーラトランジスタとした場合、バンドギャップの差がベース層25の多数キャリアの拡散電流を相対的に抑制する効果を有しており更にベース電流を低減できるため、ベース層25のドーパント濃度を高くしてもそれが原因でエミッタ接地の電流増幅率が著しく低下してしまう心配がない。このことから、ヘテロ接合バイポーラトランジスタではベース層25のドーパント濃度を高めて、素子全体のベース抵抗をできるだけ低抵抗化させる手段が取られる。しかしながら、エミッタ29のドーパント濃度もそれ以上に高めているので、エミッタ・ベース接合部が高濃度接合となり、それに起因してエミッタ/ベース間のリーク電流が大きくなるという問題があるため、エミッタ29と接する真性ベース50のドーパント濃度を高くすることには限界がある。

【0006】そこで、ベース引き出し電極部での抵抗を小さくして素子全体のベース抵抗を低減するために、外部ベース領域の一部にイオンを注入して低抵抗化させ、高濃度領域30を形成している。図6の例においてはエミッタ電極27をマスクにしてイオン注入をおこなうことにより、エミッタ29と外部ベースの高濃度領域30の間には低濃度領域55を残しておくことが可能である。このとき、熱拡散によるドーパントの再分布など

4

で、イオン注入した低抵抗な高濃度領域30と高濃度のエミッタ29が接すると、前述したエミッタ/ベース間のリーク電流を引き起こすことに注意する必要がある。また、図6において、ベース層25の表面に接する絶縁膜26をシリコンの酸化プロセスではなく、プラズマCVDなどの成膜プロセスによって形成すると、ベース層と絶縁膜の界面に存在する欠陥が多くなり、エミッタ29と外部ベースの高濃度領域30の間に欠陥を介してキャリアが移動し、見掛け上エミッタ/ベース間のリーク電流のもうひとつの重大な経路となる場合がある。このようなリーク電流は当然回路動作にとって好ましくないものである。

【0007】高周波性能を向上するため平面的な寸法をより微細化し、エミッタやベースのドーパント濃度をより高く設計する傾向にあり、上述したリーク電流を低く抑えることが重大な問題となってきた。したがって、平面的な寸法上で、エミッタ領域29と外部ベースの高濃度領域30が接することがないように設計しなければならない。しかしながら、両者の間の距離が増すことによってベース抵抗が増加するため、その距離は一定に製造されなければ素子特性が安定しない。図8に重要な部分を拡大し、これを用いて詳述する。図8において、エミッタ29と外部ベースの高濃度領域30の間の設計上の距離は、図中に示したAおよびA'である。外部ベースの高濃度領域30を形成するイオン注入域の境界は、エミッタ電極27を形成するフォトリソグラフィーによって規定されており、エミッタ29の位置を決める絶縁膜26の開口部を形成するフォトリソグラフィーとは別工程での位置合わせとなる。このことから、距離A、A'の寸法は2度のフォトリソグラフィー間の合わせズレによって変動するため、AとA'を等しく且つ所定の値にすることは困難である。

【0008】実際のエミッタ29と外部ベースの高濃度領域30との間の距離は、それぞれの形成時の熱処理によって、ドーパントが所定の距離だけ広がる影響を受ける。図8において、エミッタ29の広がりをB、B'で、外部ベースの高濃度領域30の広がりをC、C'で示す。熱処理による拡散は半導体層の材質や結晶性、熱処理条件に依存するが、固定された条件ではほぼ一定の広がりで見なして差し支えない。従って通常はBとB'、CとC'はそれぞれ等しく、上述のA、A'の変動はそのままエミッタ29と高濃度領域30との間の距離の変動につながることになる。

【0009】

【発明が解決しようとする課題】以上に詳述したような従来構造では、エミッタ/ベース間のリーク電流が増加しない範囲で最短の距離にすることが望ましいA、A'を、両方等しくかつ所定の値とすることは困難であった。A、A'の製造工程でのバラツキの結果は、エミッタ/ベース間のリーク電流、更には高周波性能のバラツ

5

キとして現れる。そのため、検査工程で一定以下の性能品を不良として歩留まりを犠牲にするか、フォトリソグラフィ精度の余裕を見込んだ設計で素子寸法を大きくして高周波性能を犠牲にするか、どちらかの方策を取らなければならないという問題点があった。

【0010】本発明は、上記の課題を解決するためになされたものであって、従来の問題点を解決して、リーク電流が十分に小さく、高周波性能に優れた新規構造のヘテロ接合バイポーラトランジスタを備える半導体装置を提供すること、また、他の特性を犠牲にすることなく、高周波性能や低リーク電流を再現性良く維持できる、ヘテロ接合バイポーラトランジスタを備える半導体装置の製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体装置は、半導体基板に第1導電型のコレクタ層、第2導電型のエピタキシャル層を含むベース層が順に形成され、前記ベース層内に島状に第1導電型のエミッタが形成されており、前記ベース層は前記エミッタ直下の真性ベースとその外側の外部ベースからなり、前記ベース層上に、前記エミッタ上に開口部を有し外縁が前記外部ベース上にある、第1の絶縁膜が形成されており、前記開口部において多結晶シリコンからなるエミッタ電極が前記エミッタに接続され、前記第1の絶縁膜の上面を覆い前記エミッタ電極の側面の外周を覆う側壁状の第2の絶縁膜が形成されており、さらに前記第2の絶縁膜の全外周と前記第1の絶縁膜の側面を覆う第3の絶縁膜が形成されており、前記エミッタ電極はその上部が前記第3の絶縁膜上まで延びて配置されているヘテロバイポーラトランジスタを備えることを特徴とする。

【0012】これにより、側壁状の第2の絶縁膜がエミッタと外部ベースの高濃度領域の距離を再現性良く一定に保ち、従来例よりも微細な距離で確実に領域を分離することができる。その結果、エミッタ／ベース間のリーク電流を増加させずに高周波化が可能となり、高周波性能に優れたヘテロ接合バイポーラトランジスタ有する半導体装置を実現できる。

【0013】上記構成に加えて、本発明は、側壁状の第2の絶縁膜で囲まれた領域の外側にある外部ベースの表面に、金属シリサイド層を形成する構造としてもよい。このような構造においては、外部ベース抵抗を大幅に低減できるため、同一寸法の素子における高周波特性をさらに向上させることができる。

【0014】また、本発明において、半導体基板はシリコン基板またはSOI基板を用い、前記コレクタ層はシリコンを主材料としており、前記ベース層は少なくともその一部にゲルマニウムを含む混晶層をエピタキシャル法によって形成した構造とすることができる。この場合には、シリコンを用いたCMOSなどの素子が容易に集

6

積できるため、Bi-CMOSなどの高性能な回路を有する半導体装置が単一基板上に構成できる。

【0015】本発明の半導体装置は、半導体基板上に第1導電型のコレクタ層を成膜し、酸化膜により素子分離されたコレクタ領域を形成する工程と、前記コレクタ領域とその周囲の酸化膜領域に、少なくともシリコンとゲルマニウムを含有する第2導電型のエピタキシャル膜を含むベース層を形成する工程と、前記ベース層の表面を酸化して第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に前記コレクタ領域上に位置するように多結晶シリコンまたは窒化シリコンからなるエミッタ電極のダミーパターンを形成する工程と、前記ダミーパターンの周囲の前記第1の絶縁膜上に側壁状の第2の絶縁膜を形成する工程と、前記第1および第2の絶縁膜を覆い、前記基板全面に第3の絶縁膜を形成する工程と、前記第3の絶縁膜の前記ダミーパターンに対応する位置を開口して、前記ダミーパターンおよびその直下の前記第1の絶縁膜を除去して空隙部を形成する工程と、前記空隙部を埋め込むとともに上部が前記第3の絶縁膜上に露出する第1導電型の多結晶シリコンによるエミッタ電極を形成する工程とを有することにより実現できる。このような製造プロセスは工程の制御が容易であり、再現性に優れている。また第1の絶縁膜が、ベース層の素子特性に影響する領域をエッチング時の加工ダメージ等から保護しており、高周波特性に優れたヘテロ接合バイポーラトランジスタを有する半導体装置を歩留り良く製造することが実現できる。

【0016】さらに本発明は、半導体基板上に第1導電型のコレクタ層を成膜し、酸化膜により素子分離されたコレクタ領域を形成する工程と、前記コレクタ領域とその周囲の酸化膜領域に、少なくともシリコンとゲルマニウムを含有する第2導電型のエピタキシャル膜を含むベース層を形成する工程と、前記ベース層の表面を酸化した後、基板全面に酸化シリコン膜を成膜して第1の絶縁膜を形成する工程と、エミッタ電極が形成される領域の外側の前記第1の絶縁膜を、所定の厚さを残してエッチングにより除去して前記エミッタ電極のダミーパターンを形成する工程と、前記ダミーパターンの周囲の前記第1の絶縁膜上に側壁状の第2の絶縁膜を形成する工程と、前記第1および第2の絶縁膜を覆い、前記基板全面に第3の絶縁膜を形成する工程と、前記第3の絶縁膜の前記ダミーパターンに対応する位置を開口して、前記ダミーパターンおよびその直下の前記第1の絶縁膜を除去して空隙部を形成する工程と、前記空隙部を埋め込むとともに上部が前記第3の絶縁膜上に露出する第1導電型の多結晶シリコンによるエミッタ電極を形成する方法で製造してもよい。この方法によると、ダミーパターンと第1の絶縁膜を除去して空隙部を形成する工程が一括してできるため、工程がより単純で製造しやすいという効果がある。

7

【0017】また、本発明において、側壁状の第2の絶縁膜を形成した後に、第2の絶縁膜の外側に位置する第1の絶縁膜を除去する工程と、第2の絶縁膜より外側に位置する第2導電型のベース層表面に金属シリサイド膜を形成する工程とを有し、その後、第3の絶縁膜を形成する工程をおこなうことにより、側壁状の第2の絶縁膜で囲まれた領域の外側にある外部ベース領域の表面に、金属シリサイド層を形成する製造方法を付加することができる。この場合には、外部ベース抵抗を大幅に低減できるため、同一寸法の素子における高周波特性をさらに向上させることができる。

【0018】

【発明の実施の形態】〔第1の実施の形態〕以下、本発明の第1の実施の形態を図1および図2を参照して説明する。図1は本発明の半導体装置の模式断面である。半導体基板1に第1導電型のサブコレクタ層2を設け、コレクタ層を成膜後、フィールド酸化膜3で素子分離し、第1導電型のコレクタ4を形成している。ベース層5は真性ベース70とその外側の外部ベースとからなり、外部ベースは低濃度領域75と、第2導電型のドーパントの高濃度領域9とからなっている。ベース層5の上に開口部を有する第1の絶縁膜6が形成されており、開口部には多結晶シリコンからなるエミッタ電極11が接続されており、多結晶シリコンからの第1導電型のドーパントの拡散によりエミッタ13が形成されている。第1の絶縁膜6は、低濃度領域75を覆い、その一部は高濃度領域9の表面に延びている。第1の絶縁膜6の上面を覆いエミッタ電極11の側面の外周を覆う側壁状の第2の絶縁膜8が形成されており、さらに第2の絶縁膜8の全外周と第1の絶縁膜6の側面を覆う第3の絶縁膜10が形成されている。

【0019】図2(A)～(D)、図3(A)～(C)に本発明の主要な断面を工程毎に示し、工程順に製造方法を説明する。公知の製造方法により、図2(A)に示すように、膜厚7500Åのフィールド酸化膜3で素子分離をおこない、素子部には厚さ8000Åのn型のコレクタ4を形成した。次いで、ゲルマニウムを含有するp型のエピタキシャル膜からなるベース層5を成膜、パターニングした後、その表面を熱酸化して膜厚80Åの第1の絶縁膜6を形成した。ベース層5は、減圧CVD装置を用いて、コレクタ4との界面にバッファ層を100Åの厚さでゲルマニウム濃度20%のSiGe膜を成膜し、その上に同じゲルマニウム濃度でボロンを $1 \times 10^{19} \text{cm}^{-3}$ ドーピングして膜厚300Å成膜し、さらに膜厚300Åのシリコン膜を成膜した構成である。これらの膜はコレクタ4上では単結晶エピタキシャル成長し、フィールド酸化膜3上で多結晶成長する。

【0020】次いで、図2(B)に示すように、エミッタを形成する領域にエミッタ形状に対応するダミーパターン7を、減圧CVDにより多結晶シリコンを膜厚50

8

00Å成膜した後にフォトリソグラフィーとRIE（反応性イオンエッチング）により形成し、次に全面に窒化シリコン膜8をプラズマCVDにより膜厚6000Åで成膜した。続いて、図2(C)に示すように、RIEにより窒化シリコン膜8を全面エッチングすることにより、段差のあるダミーパターン7の側壁に第2の絶縁膜8を残した。形成された側壁状の第2の絶縁膜8の最大高さとは最大幅は各々約0.5ミクロンと約0.3ミクロンであった。このとき、第2の絶縁膜8がエッチングされる領域では第1の絶縁膜6もエッチングしたが、ダミーパターン7および側壁状の第2の絶縁膜8がマスクとなり、エミッタを形成する領域とその近傍は第1の絶縁膜6への加工ダメージが起こらず、この領域においてはベース層が第1の絶縁膜6によってプロセス汚染や加工ダメージから保護された状況が持続される。

【0021】次いで、図2(D)に示すように、ダミーパターン7および側壁状の第2の絶縁膜8をマスクとしたBF₄⁺のイオン注入を加速電圧30keV、ドーズ量 $2 \times 10^{15} \text{cm}^{-2}$ の条件にておこない、p型の高濃度領域9を形成した。その後、膜厚6000Åで全体を覆うように常圧CVDによる酸化シリコンで成膜した第3の絶縁膜10に対して、段差を少なくするようにレジストを用いたエッチバック法で平坦化処理を行った。この平坦化処理は、段差形状が異なる場合、次工程でのフォトリソグラフィー条件を同一にするために効果的である。図2の例では、イオン注入によりp型とする外部ベースの高濃度領域9上の第1の絶縁膜6は先に除去されているが、イオン注入時の汚染防止のためには第1の絶縁膜6を残しておくほうがより望ましい。

【0022】この後、図3(A)に示すように、第3の絶縁膜10のエミッタ領域を開口し、ダミーパターン7および第1の絶縁膜6のエミッタ領域のみをエッチングにより選択除去した。第3の絶縁膜10の開口部はダミーパターン7にマスク合わせをおこない位置決めされるが、合わせズレが生じるため、ダミーパターン7より0.2ミクロン狭い開口幅で設計した。ダミーパターン7を選択的にエッチングで除去した後に、第1の絶縁膜6をエッチングする際に、第3の絶縁膜10の開口にサイドエッチングが進行するため、開口幅を狭くしたことの実質的な問題は起こらない。また、合わせズレでダミーパターン7より外側に第3の絶縁膜10の開口部が偏った場合にも、第2の絶縁膜8の底部の幅以内であるので、不良の発生には至らない。他の方法として、図2

(D)で前述したエッチバックの際にダミーパターン7が露出するまでエッチングをおこなえばマスク合わせを必要としないセルフアライン工程が可能であり、とりわけエミッタ13の幅をフォトリソグラフィーの最小寸法に微細化するとき効果的である。

【0023】次に、図3(B)に示すように、リンを $4 \times 10^{20} \text{cm}^{-3}$ ドーピングした膜厚5000Åの多結晶シ

9

リコンを成膜、パターニングしてエミッタ電極 11 を形成し、その後ドーパントの熱拡散によりエミッタ 13 を形成した。この熱拡散処理でのボロンの拡散により、ボロンの高濃度領域 9 がエミッタ 13 に近づいて形成されるので、熱拡散処理条件、および第 2 の絶縁膜 8 の底部の幅を最適化する必要がある。本実施の形態では、熱拡散処理の条件を $850^{\circ}\text{C} \times 30$ 秒とした。また、図 3

(C) に示すように、多結晶シリコンからなるエミッタ電極 11 のパターニングに引き続き、第 3 の絶縁膜 10 をエッチングして、ベース電極 16 の接続部から絶縁膜 10 を除去しておくこともできる。なお、ヘテロ構造としては上述の SiGe 膜に限定されず、炭素を添加した SiGeC 膜をベースやエミッタ等に用いた構造であってもよい。

【0024】このようにして、外部ベースの高濃度領域 9 からエミッタ 13 を一定距離で分離することができた。このとき、あらかじめ形成している第 1 の絶縁膜 6 がエミッタ/ベース間のリーク電流防止とエミッタ 5 の形成前のプロセス汚染や加工ダメージの低減を兼ね、側壁状の第 2 の絶縁膜 8 がエミッタ 13 および多結晶シリコンからなるエミッタ電極 11 と外部ベースの高濃度領域 9 の距離を一定に保ち、第 3 の絶縁膜 10 が前記エミッタ電極 11 の絶縁分離を確実にする役目を果たす。こうして形成したヘテロ接合バイポーラトランジスタは、第 2 の絶縁膜 8 の底部での幅が 0.2 ミクロンないし 0.5 ミクロンの範囲の幅であることが、リーク電流を増加させずに高周波化するために望ましい。この場合に、前記第 2 の絶縁膜 8 の高さは最も高い所が 0.3 ミクロンないし 1 ミクロンとなる範囲で製造可能であった。発明人らのデータでは、第 2 の絶縁膜 8 の底部での幅は 0.3 ミクロン、高さは 0.5 ミクロンの形成条件が最適値であった。

【0025】前記の 3 種類の絶縁膜はその構造上から絶縁性が要求されるが、一方、ダミーパターン 7 は絶縁材料であっても絶縁材料でなくてもかまわない。このため、ダミーパターン 7 および側壁状の第 2 の絶縁膜 8 の材料は、図 1 に示すような形状を実現できる組合せであれば任意に選ぶことが可能である。このような組み合わせとして、ダミーパターン 7 に多結晶シリコンを、第 2 の絶縁膜 8 に窒化シリコン膜を用いた組み合わせでは、第 1 の絶縁膜 6 の材料である酸化シリコンの膜厚は、表面の汚染からデバイスを保護するために必要な膜厚である 50 \AA から、図 3 (A) の窓開け寸法にサイドエッチングの影響が生じ始める膜厚である 1000 \AA まで選択可能であった。

【0026】ダミーパターン 7 および側壁状の第 2 の絶縁膜 8 の材料の、第 2 の組み合わせ例として、ダミーパターン 7 に多結晶シリコンを、第 2 の絶縁膜 8 に酸化シリコン膜を用いることができる。同様に、ダミーパターン 7 および側壁状の第 2 の絶縁膜 8 の材料の、第 3 の組

10

み合わせ例として、ダミーパターン 7 に窒化シリコンを用い、第 2 の絶縁膜 8 に酸化シリコンを用いることができる。いずれの場合も、第 1 の絶縁膜 6 と第 2 の絶縁膜 8 のエッチング選択性が小さいため、図 3 (A) における第 1 の絶縁膜 6 のエミッタ開口部を除去する工程でダミーパターン 7 の加工幅よりサイドエッチングの広がりが生じる。このような場合には、第 1 の絶縁膜 6 を 50 \AA から 100 \AA までの厚さに薄くしておくことでサイドエッチングの広がりを 0.1 ミクロン以内に抑えるように対策できた。

【0027】[第 2 の実施の形態] ダミーパターン 7 および側壁状の第 2 の絶縁膜 8 の材料の、第 4 の組み合わせ例として、ダミーパターン 7 に酸化シリコンを、第 2 の絶縁膜 8 に窒化シリコン膜を用いた第 2 の実施形態の工程を図 4 (A) ~ (D) に示す。ダミーパターン 7 の酸化シリコンを形成する第 1 の絶縁膜 6 は、膜厚 80 \AA の熱酸化膜と、連続して常圧 CVD により成膜した膜厚 5000 \AA の酸化シリコン膜の積層膜である。図 4

(B) に示すように、フォトリソグラフィにより第 1 の絶縁膜 6 をエッチングする際に、エッチオフしてしまわずに第 1 の絶縁膜 6 の残り膜厚が 700 \AA となるように途中でエッチングを停止することによりダミーパターン 7 を形成した。この場合は、エッチング後に第 1 の絶縁膜 6 の残り膜厚は 1000 \AA 以下としておくことが好ましい。このとき、図 4 (C) における第 2 の絶縁膜 8 の底部での幅は 0.3 ミクロン、高さは 0.4 ミクロンの形状が代表的であった。図 4 (D) の形状は図 2

(D) と同一であり、以後の工程は、第 1 の実施の形態の場合と同様である。

【0028】[第 3 の実施の形態] 図 5 (A) ~ (D) には、図 4 に示した実施例において外部ベース抵抗を大幅に低減するために、エミッタ 13 近傍以外の外部ベース部には金属シリサイドを形成した、第 3 の実施形態の工程を示す。本発明においては、ダミーパターン 7 の側壁に選択的に形成された第 2 の絶縁膜 8 より外周に位置する第 1 の絶縁膜 6 を除去するとともに、ダミーパターン 7 を除去する前に外部ベース部のシリコン表面に金属シリサイドを形成する工程を追加することが可能である。

【0029】図 4 (C) に示すように、ダミーパターン 7 を形成と側壁状の第 2 の絶縁膜 8 を形成し、第 2 の絶縁膜 8 がエッチングされる領域では第 1 の絶縁膜 6 もエッチングし、続いて図 5 (A) に示すように、外部ベース領域にボロンのイオン注入を行い、次に、公知の方法で金属チタンを成膜後に熱処理することによりシリサイド化させ、未反応の金属チタン層を除去して膜厚 200 \AA 程度のチタンシリサイド層 18 を選択的に形成した。このように選択的にシリサイドを形成できる金属としてはチタンのほかに、コバルトやタングステン、ニッケル、クロム等がある。

11

【0030】この後に、図5(B)～(D)に示すように、全体を覆うように形成した第3の絶縁膜10に対してエミッタ領域を開口し、ダミーパターン7および第1の絶縁膜6のエミッタ領域のみをエッチングにより選択除去し、エミッタ電極11を形成してエミッタ13を形成した。従来のシリサイド工程はエミッタ電極11を形成した後に、その外側の外部ベース部のシリコン表面に金属シリサイドを形成していたので、従来例で説明したバラツキ要因は同様の影響をもたらす。本発明では第2の絶縁膜8の厚みにより、エミッタ13との距離を最短にしたチタンシリサイド層18を付加でき、これを用いない場合に比べて外部ベース抵抗が10分の1以下に低減され、高周波性能をバラツキなく向上することができた。

【0031】

【発明の効果】以上、本発明によれば、エミッタと外部ベースの高濃度領域を最短距離で分離することができ、エミッタ、ベース間のリーク電流を増加させずに高周波性能の向上したヘテロ接合バイポーラトランジスタを備える半導体装置を得ることができる。また、本発明の製造方法により、前述の半導体装置を歩留り良く製造することが実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態により得られる半導体装置の模式断面図である。

【図2】図1に示す半導体装置の製造方法を示す工程毎の断面図である。

12

*【図3】図2に続く工程毎の断面図である。

【図4】本発明の第2の実施形態により得られる半導体装置の工程毎の断面図である。

【図5】本発明の第3の実施形態により得られる半導体装置の工程毎の断面図である。

【図6】従来の半導体装置の一例を示す模式断面図である。

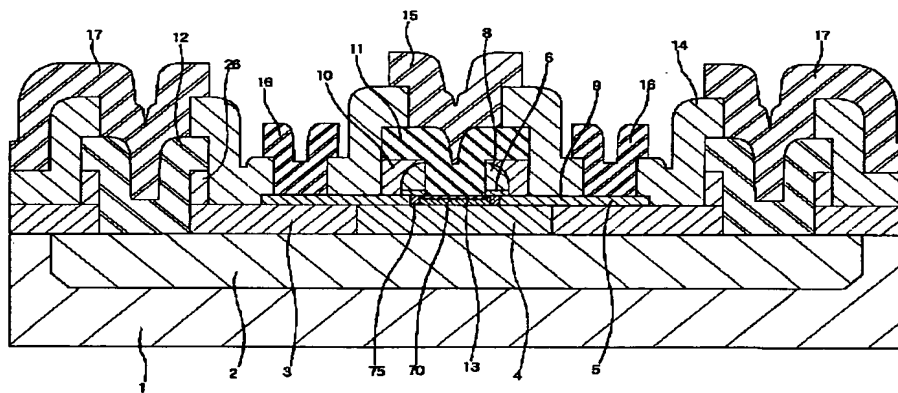
【図7】図6に示す半導体装置の製造方法を示す工程毎の断面図である。

【図8】図6に示す半導体装置の一部を拡大した断面図である。

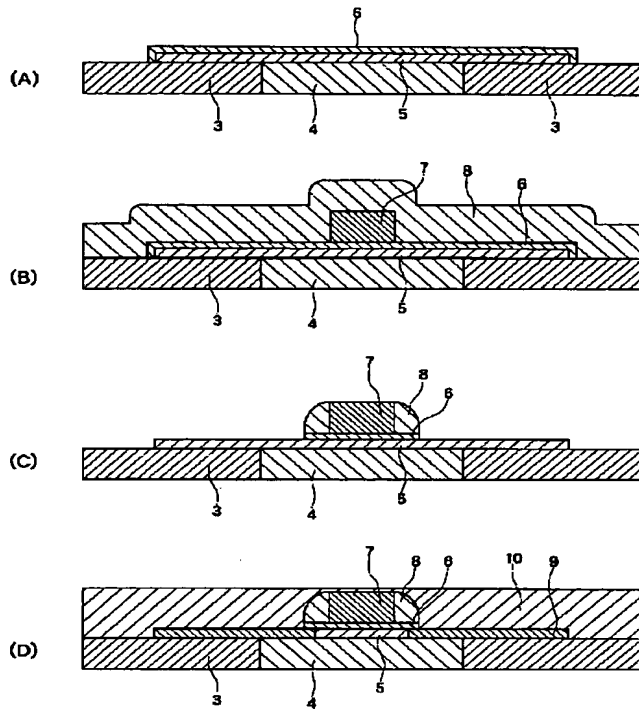
【符号の説明】

- 1、21 半導体基板
- 2、22 サブコレクタ層
- 3、23 フィールド酸化膜
- 4、24 コレクタ
- 5、25 ベース層
- 50、70 真性ベース
- 9、30 外部ベースの高濃度領域
- 55、75 外部ベースの低濃度領域
- 6、26 第1の絶縁膜
- 7 ダミーパターン
- 8 第2の絶縁膜
- 10 第3の絶縁膜
- 11、27 エミッタ電極
- 12、28 コレクタ電極
- 13、29 エミッタ

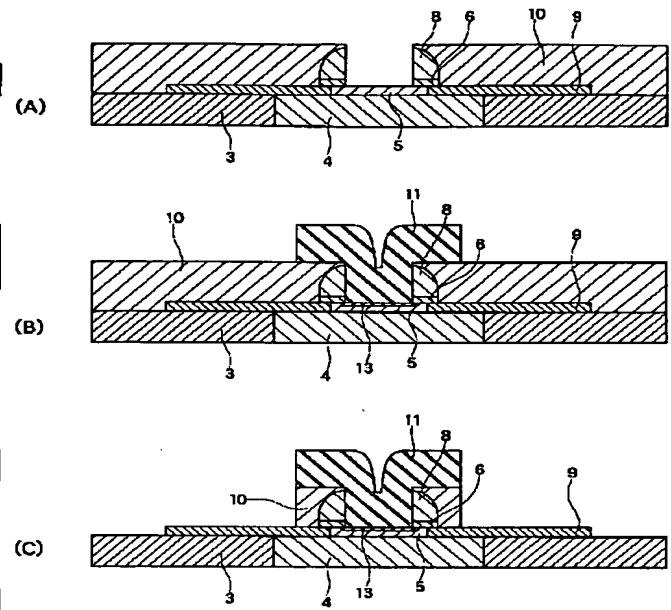
【図1】



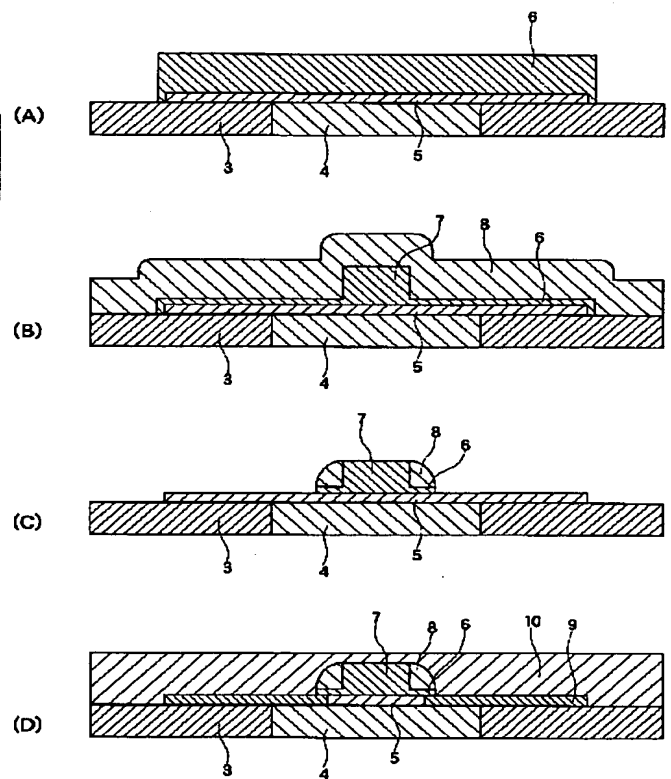
【図 2】



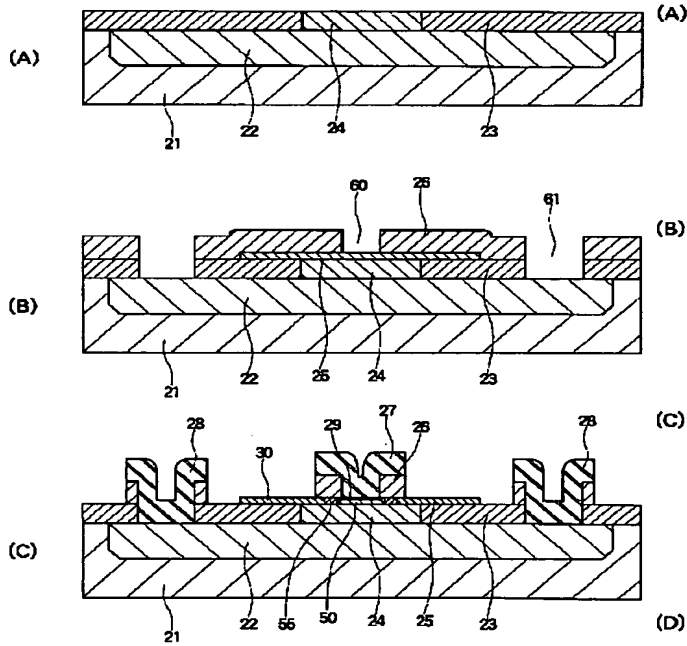
【図 3】



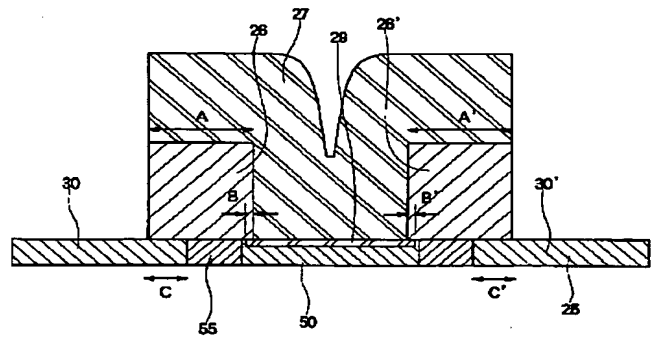
【図 4】



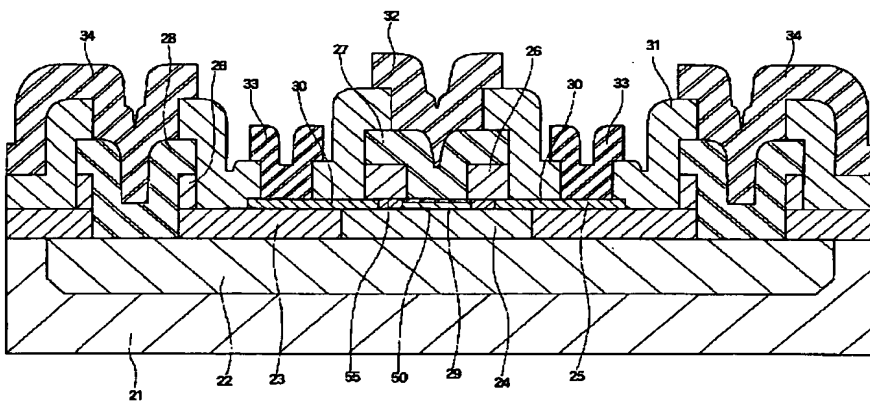
【図 7】



【図8】



【図 6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.